



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 21/8242, 27/10, 27/108, 27/115	A1	(11) 国際公開番号 WO98/44551 (43) 国際公開日 1998年10月8日(08.10.98)																										
(21) 国際出願番号 PCT/JP98/01271 (22) 国際出願日 1998年3月24日(24.03.98) (30) 優先権データ 特願平9/74993 1997年3月27日(27.03.97) JP 特願平9/74994 1997年3月27日(27.03.97) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 高谷信一郎(TAKATANI, Shinichiro)(JP/JP) 三木浩史(MIKI, Hiroshi)(JP/JP) 櫛田恵子(KUSHIDA, Keiko)(JP/JP) 藤崎芳久(FUJISAKI, Yoshihisa)(JP/JP) 鳥居和功(TORII, Kazuyoshi)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)	(74) 代理人 弁理士 高橋明夫(TAKAHASHI, Akio) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP) (81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書																											
(54)Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME																												
(54)発明の名称 半導体装置およびその製造方法																												
(57) Abstract A semiconductor device provided with a capacitor having a lower electrode (102), a highly ferroelectric thin film (103), and an upper electrode (104) which are stacked in this order. The upper electrode (104) contains impurities which suppress the catalytic activities of the metal which constitutes the electrode or an oxide conductor. This method prevents the occurrence of various defects caused by the hydrogen heat treatment conducted after the formation of the upper electrode (104), such as the decline in capacitance, poor insulation and the peel-off of the electrode, and increases the long-time reliability of the device. a <table border="1"> <caption>Data for Graph a</caption> <thead> <tr> <th>Temperature (°C)</th> <th>Proportion (%)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td></tr> <tr><td>100</td><td>0</td></tr> <tr><td>200</td><td>0</td></tr> <tr><td>300</td><td>0</td></tr> <tr><td>400</td><td>0</td></tr> <tr><td>450</td><td>5</td></tr> <tr><td>500</td><td>40</td></tr> <tr><td>550</td><td>65</td></tr> <tr><td>600</td><td>95</td></tr> <tr><td>650</td><td>95</td></tr> <tr><td>700</td><td>95</td></tr> <tr><td>800</td><td>95</td></tr> </tbody> </table> b 水素熱処理前に行った酸素熱処理の温度 (°C) a... THE PROPORTION OF SPONTANEOUS POLARIZATION VALUE AFTER HYDROGEN HEAT TREATMENT TO THAT BEFORE HYDROGEN HEAT TREATMENT (%) b... TEMPERATURE OF OXYGEN HEAT TREATMENT CONDUCTED BEFORE HYDROGEN HEAT TREATMENT (°C)			Temperature (°C)	Proportion (%)	0	0	100	0	200	0	300	0	400	0	450	5	500	40	550	65	600	95	650	95	700	95	800	95
Temperature (°C)	Proportion (%)																											
0	0																											
100	0																											
200	0																											
300	0																											
400	0																											
450	5																											
500	40																											
550	65																											
600	95																											
650	95																											
700	95																											
800	95																											

(57)要約

順次積層して形成された下部電極（１０２）、高強誘電体薄膜（１０３）および上部電極（１０４）を有するキャパシタを具備し、上記上部電極（１０４）には、電極を構成する金属または酸化物導電体の触媒活性度を抑制する不純物が添加されている。

上部電極（１０４）形成後に行われる、水素熱処理による容量低下、絶縁不良および電極剥離などの障害発生が防止され、長期信頼性も向上する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサウ		共和国	TT	トリニダッド・トバゴ
BJ	ベナン	GR	ギリシャ	ML	マリ	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	US	米国
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NO	ノルウェー		
CM	カメルーン	JP	日本	NZ	ニュージーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KP	北朝鮮	RO	ルーマニア		
CZ	チェッコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン	LK	スリ・ランカ	SI	スロヴェニア		

明細書

半導体装置およびその製造方法

技術分野

本発明は半導体装置およびその製造方法に関し、特に、高強誘電体薄膜をキャパシタ絶縁膜用い、漏れ電流が少なく、容量が大きく、かつ残留分極が高いコンデンサを有し、大規模集積回路（LSI）のメモリに好適な半導体装置およびその製造方法に関する。

背景技術

ダイナミック・ランダム・アクセス・メモリ（DRAM）をはじめとする半導体メモリにおいては、高集積化にともなうキャパシタ面積の増大および構造の複雑化が問題となっている。そのため、従来のシリコン酸化膜や、シリコン窒化膜を用いるキャパシタと比較して、極めて大きな比誘電率を持つ高強誘電体物質をキャパシタ絶縁膜に使用することが検討されるようになった。特に集積密度がギガビット単位である大規模なDRAMのような、小面積で大きな静電容量を必要とする半導体装置への応用が検討されている。また、高強誘電体物質は自発分極をもち、外部電場によってその方向を反転させることができるので、この特性を用いて不揮発性メモリを形成することも試みられている。従来の高強誘電体を用いたメモリについては、例えば特開昭63-201998号に記載されている。

上記メモリに使用される高強誘電体薄膜としては、チタン酸ジル

コン酸鉛； $Pb(Zr, Ti)O_3$ （以下PZTと記す）やチタン酸ストロンチウムバリウム； $(Ba, Sr)TiO_3$ （以下BSTと記す）などの複合金属酸化物高強誘電体が一般的である。

下部電極（蓄積電極）としては、これら高強誘電体膜の成膜時における $500^{\circ}C$ 以上の結晶化温度による劣化を抑止するため、通常、耐酸化性がすぐれた白金、イリジウムあるいはルテニウムなど貴金属が用いられる。一方、上部電極（プレート電極）は、通常は複合金属酸化物の成膜後に形成されるが、電気的対称性をよくするなどの理由から下部電極と同じ材料を用いるのが一般的であり、キャパシタ形成後に行われる熱処理工程での高強誘電体膜との反応を避けるため、やはり白金などの貴金属で形成されることが多い（例えば、米国特許第5、005、102号明細書）。

しかし、上記メモリの製造プロセスでは、層間絶縁膜形成など水素雰囲気中における処理工程があるため、白金など還元に対する触媒作用の強い電極材料が電極として使用されていると、酸化物高強誘電体材料が還元されて、リーク電流の増大やヒステリシス特性の消失など、著しい特性劣化を来す。

そのため、従来は層間絶縁膜の特性をある程度犠牲にして、水素が発生しないようなプロセスが選択されてきた。しかし、カバレッジやエッチング耐性が良好な絶縁膜形成技術を使用することが好ましいことはいうまでもない。また、キャパシタ形成後の配線工程においても水素を使用する場合があります、プロセスの選択の自由度を大きくするためにも、高強誘電体膜を用いたキャパシタの水素熱処理耐性を向上させることが必要である。

すなわち、上記のように、高強誘電体膜を形成した後、配線層や絶縁膜を形成するために還元性雰囲気における処理が行われる。また、周辺回路と配線層の電氣的接続を行なうために形成されるスルーホールは、一般に開口部のサイズに比較して深さが大きい、いわゆるアスペクト比の大きな形状となるため、タングステンなどをCVD法により形成するが、この際の雰囲気も還元性である。

これら還元性雰囲気での処理を経ることで、キャパシタは重大なダメージを被ることが知られている。例えば、マテリアル・リサーチ・ソサエティ・シンポジウム会議録第310巻1993年151頁から156頁 (Material Research Society Symposium Proceedings vol. 310, pp. 151-156 (1993)) によると、CVDによって SiO_2 膜を形成すると、高強誘電体であるPZTは強誘電性を失うとともに、リーク電流が増大することが報告されている。さらに、メモリ製造工程では、金属配線層および、キャパシタよりも下の層に形成されるトランジスタの信頼性確保のために、最終的に水素熱処理（水素アニール）が施される。この水素アニールは、上記層間絶縁膜形成工程と同様に、キャパシタ特性に影響を与えることが知られている。例えば第8回集積高強誘電体国際シンポジウム発表番号11c (1996年) (8th International Symposium on Integrated Ferroelectrics, 11c (1996)) によると、高強誘電体として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (以下SBT) を用いた場合、水素雰囲気での処理を行なうと、キャパシタが剥離したり、剥離しない場合でも、洩れ電流特性が大幅に劣化することが報告されている。

発明の開示

(解決手段)

上記課題を解決するため、本発明になる高強誘電体キャパシタは、上部電極に酸化イリジウムまたは酸化ルテニウム導電膜を使用し、酸化せずに残留しているイリジウム、ルテニウム金属の触媒作用を軽減するため鉛、ビスマスまたはバリウムを添加した。

高強誘電体キャパシタの上部電極としてどのような材料を使用すれば水素雰囲気での工程後も特性が劣化しないかを調べた。熱酸化膜の形成されたシリコン基板上に、下部電極として白金とチタンの2層膜を形成した。この電極の上に厚さ100nmのチタン酸ジルコン酸鉛薄膜をゾルゲル法で形成した。使用したゾルは、酢酸鉛、チタンイソプロポキシド、ジルコニウムイソプロポキシドをメトキシエタノール中で反応させたものである。結晶化時にペロブスカイト型構造になるように、10%の酸化鉛を過剰に加えた。酸素雰囲気中で650℃、2分間のラピッド・サーマル・アニーリングを行い結晶化させた。このチタン酸ジルコン酸鉛薄膜上に、リフトオフ法で100 μ m $\square$ の上部電極を形成し、水素雰囲気中、300℃で熱処理を行って特性劣化の有無を調べた。形成した上部電極は、白金、酸化イリジウム、白金と酸化イリジウムの積層電極、金である。水素熱処理前後の自発分極値の比を第1表に示した。

第1表から明らかなように、上部電極が白金、白金と酸化イリジウムの積層膜、金、酸化イリジウムの順に劣化が小さくなっており、酸化イリジウム電極のみの場合には劣化が全く見られなかった。こ

第 1 表

上部電極材料	水素熱処理前の残留分極値に対する水素熱処理後の残留分極値(%)
P t	5
P t / I r O ₂	7
I r O ₂	9 6
A u	7 2

の結果から、上部電極として水素による還元作用の触媒効果を有する材料を使用すると劣化を来し、白金とイリジウム酸化物積層膜のようにチタン酸ジルコン酸鉛薄膜には直接接していなくとも、劣化を助長する働きがあることがわかった。金を使用した場合には多少の劣化が見られるが、この劣化は窒素雰囲気中同一温度で熱処理した場合の劣化とほぼ等しいことから、水素による還元作用によるものではなく、単に熱による劣化であることがわかった。

すなわち、上部電極の材料によって水素熱処理での劣化の程度が大きく異なり、酸化物導電体である酸化イリジウムを上部電極として使用すれば、効果的に劣化を抑制することができる。

上記水素熱処理は 300℃で行ったが、さらに高い温度で水素熱処理を行うと、酸化イリジウムを上部電極としたキャパシタでもやや劣化が認められた。これは高温の熱処理によって酸化イリジウム自身の還元が始まり、触媒作用を発現するためである。そこで、イリジウム酸化物電極を形成した後、さらに酸素雰囲気中で熱処理を行い、劣化防止に対する効果を調べた。水素熱処理前に行った酸素熱処理の効果を第 1 図に示した。第 1 図から明らかなように、500℃以上の酸素熱処理を予め行うことにより、水素熱処理での劣

化は効果的に抑制された。

この酸素熱処理の効果を明らかにするため、X線回折およびX線光電子分光法によって電極部を測定した。酸素熱処理後および熱処理前における電極部のX線回折パターンを第2図に示した。第2図から明らかなように、酸素熱処理温度を高くするほど、酸化イリジウム膜の結晶性が向上している。また、X線光電子分光の結果、酸化イリジウム電極内部には鉛が拡散していることが明らかになった。第3図に鉛の拡散量の酸素熱処理温度依存性を示した。酸素熱処理温度が500℃以上になると、鉛の拡散が急激に起こることが認められた。酸素熱処理の効果は、酸化イリジウムの酸化度の向上とともに、チタン酸ジルコン酸鉛の薄膜から拡散した鉛によって、水素熱処理時の酸化イリジウムの還元が抑制され、その結果、触媒作用の発現およびそれによるキャパシタ特性の劣化が防止されることがわかった。

そこで、酸化イリジウム電極中に鉛を添加してその効果を調べた。イリジウムメタルターゲットの上に所望量の鉛のペレットを置いて、反応性スパッタにより鉛が含有された酸化イリジウム膜を上部電極として形成した。第4図は酸化イリジウム膜中の鉛の添加量（イリジウムメタルに対する鉛のモル分率）と水素熱処理温度に対するキャパシタ特性の劣化の関係を示している。第4図からあきらかなように、鉛の添加量が極く僅かでも劣化抑制効果が向上した。鉛の添加量が10%になるまで効果の向上が見られたが、その後は変化がなく、一方、電極部の抵抗が増大してしまうことがわかった。したがって鉛の添加量は10モル%以下とすることが望ましい。

また、同様の効果は、酸化イリジウム膜を形成した後、その上に鉛膜を積層して熱処理を行っても得られた。この方法では最表面部が鉛の酸化物となる場合があるが、この場合は表面をスパッタエッチして鉛の酸化物の除去を行えばよい。

上記効果は高強誘電体薄膜としてチタン酸ジルコン酸鉛を、上部電極として酸化イリジウムを用いた場合に得られたものであるが、同様の効果は、高強誘電体薄膜としてピスマス層状高強誘電体を使用した場合にも得られた。酸化イリジウム中に添加する元素としては、鉛の他、ピスマスでもよい。さらに、高強誘電体膜としてチタン酸ストロンチウム・バリウム、上部電極として酸化ルテニウムを使用した場合にも適用できる。この材料は組成にによって室温ではヒステリシス特性を示さないためDRAMへ応用しやすい。水素雰囲気中での熱処理によるリーク電流の増大が問題であるが、水素による還元を軽減する元素を添加することによって、リーク電流の増大を抑制できる。この場合の添加元素としては、鉛の他バリウムでもよい。

また、本発明によれば、キャパシタの上部電極（高強誘電体膜が形成された後に形成された電極）中に不純物を添加し、電極金属の水素分解作用を低下させる。添加元素としては、電極に用いる金属中での溶解度が小さいことが好ましい。具体的には、上部電極金属として白金（Pt）を用いた場合、添加する不純物元素としてはイオウ（S）、セレン（Se）、テルル（Te）、シリコン（Si）、ボロン（B）、リン（P）、ヒ素（As）、ピスマス（Bi）が好適であった。

また、白金や金以外の上部電極の場合は、上記不純物元素の他、鉛（Pb）、バリウム（Ba）を添加しても、同様の効果が得られる。例えば、上部電極として白金の代わりにパラジウム、ルテニウム、イリジウム、ニッケルを用いた場合も上記不純物の添加により同様の効果が得られた。

第2表にこれらの元素の白金中の溶解度、及び白金との化合物のうち最も白金組成の大きい化合物を示した（出典：Binary Alloy Phase Diagrams、2nd Ed.、Thaddeus B. Massalski、Editor-in-chief、ASM International、1990）。

第2表

元素	Pt 中の溶解度	化合物
S	<0.01重量%	PtS
Pb	殆ど溶解せず	Pt ₃ Pb
Se	殆ど溶解せず	Pt ₅ Se ₄
Te	~2原子%	PtTe
Si	~1.4原子%	Pt ₃ Si
B	~1原子%	BPt ₃
P	0.03原子%	P ₂ Pt ₅
As	殆ど溶解せず	PtAs ₂
Bi	殆ど溶解せず	BiPt
Be	殆ど溶解せず	BaPt ₅

これらの添加元素の白金中での溶解度はいずれも10%未満である。従って白金層を堆積する工程あるいは堆積後の熱工程で白金が結晶化して多結晶状となる際に、添加元素の大部分が第2表の右欄

に示した化合物に近い状態となって白金多結晶粒の表面を覆う。このため白金表面での触媒活性度 (catalytic activity) が低下する。この結果、水素を含む処理の際にも白金表面での水素の分解による活性な水素の発生が抑えられ、キャパシタ特性の劣化や電極剥離が抑えられる。また、白金内部での不純物濃度は小さいので、白金層全体としての電気的抵抗の増大による素子特性の劣化も少ない。

上部電極として白金の代わりにパラジウム、ルテニウム、イリジウム、ニッケルを用いた場合も、上記不純物の添加により同様の効果が得られた。上記添加不純物のうち、イオウについては、白金およびパラジウムの触媒活性度を低下させることが知られている（例えば、H. P. Bonzel and R. Ku, The Journal of Chemical Physics Volume 58、Number 10、page 4617-4624、(1973)、およびY. Matsumoto et. al., Journal of Chemical Society Faraday I、Volume 76、page 1116-1121 (1980)）。本発明ではこの効果を積極的に用いることによって、高強誘電体キャパシタの特性劣化を阻止することができた。

次に、添加する元素の好ましい量について白金を例にとり説明する。通常、電極に用いられる白金薄膜は柱状の多結晶となる。そこで、この多結晶粒を半径 r 高さ h の円柱と仮定する。また、円柱表面の白金原子の面密度は白金結晶の (100) 面の値に等しいと仮定し、 $2/a^2$ とする。円柱内での白金原子の体積密度は $4/a^3$ である。 a は白金結晶の格子定数であり 0.39 nm である。以上の場合、円柱全体の白金原子数に対する円柱表面に露出する白金原子数の割合 (s) は $(r+h)a/r/h$ で与えられる。円柱の高さは

白金膜厚にはほぼ等しいと考えられ、通常は100nm程度である。また半径としては通常10nm以上である。そこで $h = 100\text{ nm}$ 、 $r = 10\text{ nm}$ と仮定すると S^{-1} 原子%となる。従って、数原子%の元素を添加すれば、白金多結晶粒表面の白金原子を覆うのに十分である。添加元素の量を必要以上に増やすと、白金電極の電気抵抗が増大して好ましくない。また、過剰な添加元素が高強誘電体薄膜中に拡散して誘電体の特性劣化を起こしたり、絶縁保護膜中に拡散して絶縁特性を劣化させる。これらの問題は、添加元素の量を10原子%以下とすることで回避できる。上部電極としてパラジウム、ルテニウム、イリジウム、ニッケルを用いた場合も同様である。

本発明では、上部電極を形成してキャパシタを形成した後に行われる、水素を含む処理による劣化を抑ええるのが目的であるので、キャパシタを構成する二つの電極、すなわち下部電極と上部電極のうち、上部電極に用いることが肝要である。下部電極への水素の侵入は、高強誘電体層と上部電極によって抑えられるので、本発明を下部電極に用いることによる利益は上部電極に用いた場合より小さい。不純物を添加したことによる、電気抵抗や下層のポリシリコン等との接触抵抗の増大を生じさせないためには、下層電極には不純物を添加しない金属層を用いる方がかえって好ましい場合もある。

上記観点に基づいて公知例調査を行ったところ、特開平4-206871号公報が見い出された。なお、開平4-206871号公報には、基板上に順次積層して形成された、第1の電極、高強誘電体膜および第2の電極を少なくとも有する半導体装置において、前記第1および第2の電極のうち少なくとも一方の電極が、鉛、バリ

ウム、ランタン、ストロンチウム、チタンおよびジルコニウムの、少なくとも1種類の元素を含有する白金電極または金電極で構成する技術が開示されている。この技術は、高強誘電体膜形成時に下部電極であるPtやAuに、高強誘電体の構成元素が拡散して高強誘電体が組成変化を起こし、誘電率の低下等をもたらすことを防止するため、あらかじめ下部電極に高強誘電体の構成元素を含ませておくものである。しかし、第2の電極にもこのような元素を含ませておいてもよい旨の記載があるが、上部電極としてPtを用いた場合に生ずる問題については全く記載されていない。

半導体デバイスを製造するためには、水素アニールは必須のプロセスであるが、水素アニールによってキャパシタ特性への影響が問題であった。したがって、この問題を解決することが半導体デバイス、特にギガビット以上の半導体メモリを得るためには不可欠である。

水素を含む処理における劣化原因を検討した結果、劣化過程に電極である白金が関与していることを明らかになった。

すなわち、電極材料であるPtとPZTとの界面の状態と水素(H_2)アニールにとる影響をXPS(X-ray photoemission spectroscopy)により検討した。試料にはオゾン雰囲気中の反応性蒸着(ozone jet evaporation; OJE)で作製したPZT薄膜を用い、分析チャンバに接続したチャンバ内での極薄Ptの電子ビーム蒸着とアニールにより、界面のin-vacuo XPS分析を行った。その結果、300℃アニールにより界面で金属Pbが発生し、その量は H_2 (0.5 Torr)アニールのほうが多くなること、さらに H_2 ア

ニールではPt/PZT界面のn型ショットキ障壁高さが約0.6 V低くなることがわかった(図20: Pt/PZT試料のPb4f XPSスペクトルのアニール(300℃、20minによる変化))。このことは、Pt表面でのH₂の解離吸着で発生するHラジカルがPZTの表面に強く作用し、その結果、O空孔(oxygen vacancies)による界面準位が発生して、ショットキ障壁が低下したためと考えられる。

すなわち、白金(Pt)を電極として使用すると、Ptの多結晶粒の表面で水素が分解されて、活性な水素がPtの触媒作用によって生成され、この活性水素が高強誘電体を劣化させる。そのため、通常は高強誘電体が還元されて劣化するは考えられないような低温(例えば300℃)で、キャパシタ特性が劣化したり、電極の剥離が起こっていることがわかった。

したがって、Ptの触媒活性度をなくすことが、H₂アニールによるPt/PZT界面の劣化および水素による高強誘電体膜のダメージを防ぐために必要である。

(効果)

上記のように、白金を電極とした酸化物高強誘電体キャパシタでは、パッシベーション工程で原料から解離した水素が電極の触媒作用によって活性となり、高強誘電体を還元して特性劣化を来す。しかし本発明で使用するイリジウム酸化物導電層は触媒作用が弱く、水素を活性化して高強誘電体を還元するようなことはない。また、さらに添加された元素およびその酸化物が、電極自身の還元による

触媒作用の発現を抑制する。

また、白金などを上部電極として使用した場合も、イオウ（S）など適当な不純物を添加することによって好ましい結果を得ことができる。

図面の簡単な説明

第 1 図は本発明の効果を示す図である。

第 2 図は本発明の効果を示す図である。

第 3 図は本発明の効果を示す図である。

第 4 図は本発明の効果を示す図である。

第 5 図は本発明の実施例 1 を示す工程図である。

第 6 図は本発明の実施例 1 を示す工程図である。

第 7 図は本発明の実施例 1 を示す工程図である。

第 8 図は本発明の実施例 1 を示す工程図である。

第 9 図は本発明の実施例 1 を示す工程図である。

第 10 図は本発明の実施例 1 を示す工程図である。

第 11 図は本発明の効果を示す図である。

第 12 図は本発明の実施例 1 を示す平面図である。

第 13 図は本発明の実施例 2 を示す断面図である。

第 14 図は本発明の実施例 3 を示す断面図である。

第 15 図は本発明の効果を示す図である。

第 16 図は本発明の実施例 4 を示す断面図である。

第 17 図は本発明の効果を示す図である。

第 18 図は本発明の実施例 5 を示す断面図である。

第 19 図は本発明の実施例 6 を示す断面図である。

第 20 図は Pt / P Z T の Pb 4 f X P スペクトルのアニールによる変化を示す特性図である。

発明を実施するための最良の形態

(実施例 1)

上部電極として酸化イリジウム、誘電体膜としてチタン酸ジルコン酸鉛を用いてメモリセルを形成した例について説明する。

第 5 図から第 10 図は、本実施例におけるメモリセルの製造工程図、第 12 図はメモリセルの平面図である。本実施例では、特開平 3-256356 号に記載されているメモリセル構造を用い、蓄積容量部は平坦な構造とした。

まず、第 5 図に示すように、スイッチ用トランジスタを従来の MOSFET 形成工程によって形成した。第 5 図において、符号 21 は p 型半導体基板、22 は素子間分離絶縁膜、23 はゲート酸化膜、24 はゲート電極となるワード線、25、26 は n 型不純物（リン）拡散層、27 は層間絶縁膜をそれぞれ示す。表面全体に周知の CVD 法を用いて厚さ 50 nm の SiO₂ 膜 28 と、厚さ 600 nm の Si₃N₄ 膜 29 をそれぞれ堆積させ、膜厚分の Si₃N₄ 膜 29 をエッチングしてワード線間に絶縁膜を埋め込んだ。SiO₂ 膜 28 は、次の工程でビット線を加工する際の下地となり、基板表面が露出したり素子間分離絶縁膜が削られるのを防ぐ働きがある。

次に、第 6 図に示すように、ビット線が基板表面の n 型拡散層と接触する部分 25 および、蓄積電極が基板表面の n 型拡散層と接触

する部分 26 を、周知のホトリソグラフィ法とドライエッチング法を用いて開口する。CVD法を用いて厚さ 600 nm の n 型の不純物を含む多結晶シリコンを堆積させた後、膜厚分のエッチングをすることにより、上記ドライエッチングによって形成された開口部を多結晶シリコン 31、32 を埋め込んだ。

次に、表面全体に周知の CVD 法を用いて絶縁膜 41 を堆積させ、ビット線を基板の拡散層 25 と電気的に接続させるため、多結晶シリコン 31 の上部の絶縁膜 41 を、周知のホトリソグラフィ法とドライエッチング法を用いて開口した後、さら、第 7 に示したように、ビット線 42 を形成する。ビット線 42 の材料としては、金属のシリサイドと多結晶シリコンの積層膜を用いた。このビット線 42 の上に、厚さ 200 nm の SiO_2 膜 43 を堆積させる。 SiO_2 膜 43 とビット線 42 を周知のホトリソグラフィ法とドライエッチング法を用いて所定の形状に加工し、ビット線 42 を所望のパターンとする。

次に、膜厚 150 nm の Si_3N_4 膜を CVD 法により堆積し、ドライエッチング法によりエッチングして、ビット線の側壁部に Si_3N_4 のサイドウォールスペーサ 44 を形成し、ビット線を絶縁する。多結晶シリコン 32 の上部の絶縁膜 41 に周知のホトリソグラフィ法とドライエッチング法を用いて開口部を形成した。

次に、BPSG などのシリコン酸化膜系の絶縁膜 51 を堆積させ、周知の方法を用いて表面を平坦化する。この絶縁膜 51 は、基板表面を平坦化するのに十分な膜厚とする必要があり、本実施例では絶縁膜 51 の膜厚を 500 nm とした。CVD 法により基板表面に S

i O₂を堆積し、エッチバック法により平坦化する方法を用いても良い。第8図に示したように、周知のホトリソグラフィ法とドライエッチング法を用いて絶縁膜51の所定部分を開口してコンタクト孔を形成した後、埋め込み用のリンドープ非晶質シリコン膜52をCVD法により厚さ200nm堆積した後、ドライエッチング法により周知のエッチバックを行って、コンタクト孔を埋めた。

次に、図9に示すように拡散防止膜として厚さ100nmのTiN膜61を形成する。さらに白金下地電極62を形成する。ゾルゲル法により、厚さ約100nmのチタン酸ジルコン酸鉛(Pb(Zr_{0.5}Ti_{0.5})O₃)薄膜を形成した後、酸素雰囲気中で650℃、120秒の熱処理を行なって結晶化させた。このチタン酸ジルコン酸鉛薄膜上にプレート電極64として鉛を含有する酸化イリジウムを被着した。鉛を含有する酸化イリジウム膜は、イリジウムターゲット上に鉛のペレットを所望の量置いて、酸素を含む雰囲気中でスパッタを行い、酸素と反応させて形成した。酸化イリジウムを主成分とする上部電極、チタン酸ジルコン酸鉛、白金及び窒化チタンからなる下部電極を順次パターンニングしてメモリセルのキャパシタを完成させる。このキャパシタ上にパッシベーション膜としてプラズマTEOSを形成した。その後第10図に示すように上部電極へのコンタクトをとるためパッシベーション膜を開口し、タングステン膜により第一の配線を行う。この状態でキャパシタ部の誘電特性を評価し、パッシベーション膜を形成する前のキャパシタ特性、及び上部電極として白金を使用した場合のパッシベーション膜形成後の特性と比較した。このパッシベーション膜形成前のキャパシタは

上部電極への触針により特性を評価するため大きいサイズのテストキャパシタを用いた。

ヒステリシス曲線を比較して第11図に示した。白金上部電極を使用した場合にはヒステリシス特性を示さなくなるのに対し、酸化イリジウム上部電極を用いたキャパシタアレイはヒステリシス曲線を示し、その特性はテストキャパシタの特性、すなわちパッシベーション膜形成前の特性と同等である。

この結果から、上部電極材料に水素還元触媒効果がない酸化物導電体材料を使用することで、還元雰囲気となるパッシベーション工程での劣化を抑制できることが確認された。さらにこのキャパシタを水素雰囲気中400℃で熱処理し特性を評価したところ、やはり劣化は見られなかった。したがって、水素熱処理に対しても劣化を防止できることが確認された。

また、水素熱処理を行う前に600℃の酸素熱処理を行うと、キャパシタの特性及び水素に対する還元の抑制効果が向上するので、さらに好ましい。上部電極として形成した酸化イリジウムを主成分とする膜は、チタン酸ジルコン酸鉛などの酸化物高強誘電体との密着性が良好であり、キャパシタ形成後の熱処理で剥離するなどの恐れがない。また第11図に示したように、上部電極と下部電極を異なる材料で形成したことによって非対称になるという問題もない。

(実施例2)

第2の実施例は、異なるメモリセル構造を有する例であり、第13図を用いて説明する。キャパシタ下の層間絶縁膜71上に酸化チタンの反応防止層を設け、所定部分をエッチして開口部を形成した

後、プラグ 7 2 として窒化チタンを埋め込む。白金膜を形成した後、窒化チタンをマスクとして白金膜の微細加工を行って下部電極 7 4 を形成した。チタン酸ジルコン酸鉛膜 7 5 を全面に形成し、さらに酸化イリジウムからなる上部電極 7 6 を形成した。この酸化イリジウム膜をプレート線として分割して、パッシベーション膜を形成した後、開口部を設けてプレート線への配線を行った。このとき、プレート線へのコンタクトはキャパシタ部以外の所からとった。コンタクトの開口部はこの第 1 3 図には示されていない。

このような構造にすることによって、酸化イリジウム膜の上に、水素還元触媒作用を有するメタルを配線材料として使用しても、酸化イリジウム直上には配線材料が積層されていないので、後工程での水素熱処理時にキャパシタが劣化する恐れはない。

(実施例 3)

本発明の第 3 の実施例を第 1 4 図を参照して説明する。

本実施例によるキャパシタにおいては、トランジスタを含む素子層または支持金属 1 0 1 上に、下部電極 1 0 2 と高強誘電体薄膜 1 0 3 が形成され、この高強誘電体薄膜 1 0 3 の上に、上部電極として鉛を添加した白金層 1 0 4 を形成した。白金層 1 0 4 に添加した鉛は白金層の粒界に析出して白金化合物を形成して、白金の結晶粒を覆う。これにより、水素を含む処理の際に、白金表面での水素の分解による活性な水素の発生が抑さえられ、高強誘電体キャパシタの配線形成工程等における劣化や剥離が防止され、長期信頼性の向上も認められた。

なお、上記トランジスタを含む素子層とは、MOS トランジスタ

を構成している一つのエレメントであり、例えばソース領域（ソース半導体層）またはドレイン領域（ドレイン半導体層）をいう。また、下部電極とは高強誘電体膜に先立って形成された電極をいい、上部電極はその高強誘電体膜が形成された後に、その誘電体膜の表面上に形成された電極をいう。

本実施例によって作成されたキャパシタの分極-電界特性を説明する。キャパシタの作成方法は以下の通りである。第14図に示したように、トランジスタを含む素子層101の上に、下部電極として直流スパッタ法を用いて厚さ100nmの白金膜102を形成した。次に、PZTを高周波スパッタ法で厚さ50nm堆積した後、酸素中で650℃の熱処理を行ない、高強誘電体層103を形成した。

次に、電子ビーム蒸着によって白金を、抵抗加熱によって鉛を、同時に蒸着して、厚さ100nmの鉛添加白金層104を形成した。この際、鉛の添加量が8原子%となるように白金と鉛の蒸着速度を調節した。

このようにして得られた構造を持つキャパシタの分極-電界特性を第15図に示した。350℃で30分の処理を行なった場合について、従来技術、すなわち白金中に不純物を添加しない場合と比較した。従来技術では、第15図から明らかなように、分極電界特性のヒステリシス特性が消えているのに対して、本実施例では、所定の特性が保持されていることが認められた。

また、400℃で水素処理を行った場合では、従来技術によるキャパシタでは上部電極が剥離を起こしたのに対して、本実施例ではこのような剥離が生ずることはなく、絶縁耐圧と誘電特性の劣化も

わずかであった。

(実施例 4)

本発明の第 4 の実施例を、第 16 図を用いて説明する。周知の方法を用いて形成されたトランジスタを含む能動素子層 101 の上に、下部電極として厚さ 100 nm の白金膜 102 を直流スパッタ法を用いて形成した。次に、500℃に加熱した基板上に、BST を高周波スパッタ法で厚さ 50 nm 堆積した後、酸素中で 650℃の熱処理を行なって、高強誘電体層 301 を形成した。次に上部電極として厚さ 100 nm の鉛添加白金膜 302 を形成した。鉛添加量は 8 原子%とした。

第 16 図に示した構造を持つキャパシタを水素処理（400℃、30分）し、交番電界を印加して容量の経時変化を調べ、第 17 図に示す結果が得られた。

第 17 図から明らかなように、比較のために示した従来技術（白金中に不純物を添加しない場合）でも、初期の静電容量に変化はないが、交流電界による劣化が激しく、半導体記憶装置に必要とされる信頼性を確保することができなかった。一方、本発明によれば、交流電界による静電容量の劣化はわずかであり、信頼性を確保することが確認された。

上記説明では添加元素として鉛を用いた場合について行ったが、鉛の代わりにイオウを用いてもよい。イオウも鉛同様に白金中にほとんど溶解しないので、白金粒界に析出して白金化合物（PtS）を作る。この場合も鉛を用いた場合と同様に、水素の分解を阻止する効果が非常に高かった。さらに PtS は鉛の場合に比べて熱的に

安定であり、素子作成の際の熱工程で効果が失われにくいという利点がある。

イオウと同じVI族元素であるセレン、テルルを用いてもほぼ同様の効果が得られた。また、鉛と同じIV族元素であるシリコンを添加元素として用いてもよい。特に、トランジスタを含む能動素子をシリコンを用いて作成した場合、添加元素がこれらの能動素子に拡散して特性の変動を引き起こす心配がない。ただし、白金中への溶解度は鉛やイオウに比べると大きくかつ酸化しやすいので、電極の電気抵抗が増大しやすい欠点がある。VI族元素であるリン、ヒ素、ビスマスの他、ボロン、バリウムを用いてもよい。特に、ビスマスやバリウムは、高強誘電体材料の主成分がビスマスやバリウムの場合、熱工程で元素が高強誘電体側へ拡散しても影響が少ないという利点がある。

上記説明は、上部電極材料としては白金を主成分とした場合について行ったが、ルテニウム、イリジウム、パラジウム、ニッケル、およびこれらの元素のいずれかを主成分として含む材料でも同様の効果が得られる。

なお、高強誘電体材料の例としては、これまでBSTおよびPZTを示したが、バリウム、鉛、ストロンチウム、ビスマスから選ばれた元素を主成分とする他の酸化物高強誘電体材料、例えばチタン酸ストロンチウム (SrTiO_3)、チタン酸鉛 (PbTiO_3)、チタン酸ジルコニウム酸バリウム鉛 ($(\text{Ba}, \text{Pb})(\text{Zr}, \text{Ti})\text{O}_3$)、ニオブ酸バリウム鉛 ($(\text{Ba}, \text{Pb})\text{Nb}_2\text{O}_6$)、タンタル酸ストロンチウムビスマス ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、チタン酸ビ

スマス ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$) においても有効である。

(実施例 5)

次に、本発明を半導体メモリ (半導体記憶装置) に適用した実施例を説明する。

第 18 図は、高強誘電体として BST を用いた DRAM の例である。DRAM におけるメモリセルの代表的な構成は、一つのスイッチ用の MISFET (絶縁ゲート型電界効果トランジスタ) と電荷を蓄積するための一つのキャパシタとが縦続接続されてなる。第 18 図はそのメモリセルを左右対称に構成された 2 ビットを示す。

Si 基板 1001 の主面領域には P ウエルが選択的に形成され、この P ウエルの主面に周知の方法によってトランジスタ (MISFET) が形成されている。すなわち、P ウエルの表面に素子領域分離膜 1002 が選択的に形成されている。この素子領域分離膜 1002 によって区画された P ウエル内には、ゲート酸化膜を介してワード線としてのポリシリコンゲート電極 1004 が形成されている。このゲート電極 1004 の側壁に設けられたスペーサ (図示せず) に対して自己整合されたソース・ドレインである半導体領域、すなわち N 導電性の不純物拡散層 1003 を P ウエル内に形成した。

上記ドレインである不純物拡散層 1003 に接続するポリシリコン (プラグ) 配線 1005 を上記 P ウエルの表面上に形成した。このポリシリコン配線 1005 にビット線 (BL) を形成し、さらに層間絶縁膜 1006 をビット線が形成された P ウエルの主面上に形成した。

次に、上記層間絶縁膜 1006 に、上記ソースである純物拡散層

の一部が露出するように、周知のフォトリソグラフィ法を用いて開口部を形成した。この開口部内に、トランジスタの不純物拡散層1003とキャパシタを互いに電氣的に接続するための導電性プラグ1007を形成した。導電性プラグ1007としては、CVD法によって形成された窒化チタン／チタンシリサイド積層膜、または、窒化チタン／ポリシリコン積層膜などを用いることができる。

次に厚さ100nmの白金膜を直流スパッタ法を用いて形成した後、周知のフォトリソグラフィ法によって形成されたマスクパターンを用いて、上記白金膜をアルゴンスパッタ法で所定の形状に加工して、蓄積電極である白金下部電極1008を形成した。

次に、BST膜1009を形成した。この膜を製造する方法としては、バリウム、ストロンチウム、チタンのアルコレートまたは錯体を用いて酸素中で熱分解するCVD法が望ましい。バリウムジピバロイルメタネート ($\text{Ba}(\text{DPM})_2$)、ストロンチウムジピバロイルメタネート ($\text{Sr}(\text{DPM})_2$)、チタンイソプロポキサイド ($\text{Ti}(\text{i-OC}_3\text{H}_7)_4$) を用いたCVD法はさらに好ましい。

これら原料を保温容器に収納し、 $\text{Ba}(\text{DPM})_2$ 、 $\text{Sr}(\text{DPM})_2$ については、 $150^\circ\text{C} \sim 250^\circ\text{C}$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ については $30^\circ\text{C} \sim 60^\circ\text{C}$ に加熱して適当な蒸気圧を持たせ、アルゴンバブリングで反応炉に原料を輸送する。同時に反応炉に供給される酸素とともに、 $400^\circ\text{C} \sim 700^\circ\text{C}$ に加熱した基板上で原料を熱分解し、酸化させた。このBST膜の膜厚は20nmとした。次に、プレート電極すなわち上部電極層1010として、鉛を添加した厚さ100nmの白金層を、ターゲットに用いたスパッタ法によって

形成した。この場合、下部電極 1008 間の溝のアスペクト比によつては、白金粒子に方向性を持たせるスパッタ法とエッチバック法が必要であつた。なお、第 18 図に示したように、本実施例による上部電極 1010 の構造は、各情報ビット毎に分割する必要はなく、複数ビットにわたつてキャパシタを覆う構造にすることが可能である。このような構造にすることより、微細加工を、例えば MOS トランジスタの制御ゲートのように、その世代における最小加工寸法にすることなく、緩い加工精度で行うことができた。

上記方法によつてキャパシタを形成した後、テトラエトキシシラン (TEOS) を用いる周知のプラズマ CVD 法によつて、厚さ 200 nm の層間絶縁膜 1014 を形成した。次に、周知のドライエッチングによつて電氣的接続孔 1016 を形成した後、周知の水素還元のプロセッサタングステン CVD 法により、電氣的接続孔 1016 をタングステンで充填して接続プラグを形成した。この際、基板温度は 400℃、圧力は 0.5 Torr、原料ガスは 6 弗化タングステンと水素とし、約 30 秒間タングステンの堆積を行なつた。不純物が添加されていない白金を上部電極として用いた場合、この CVD によつて絶縁耐圧の劣化が起つた。

タングステン接続プラグを形成した後、平坦化工程を経て、窒化チタンとアルミニウムの積層配線 1017 を形成し、さらに、層間絶縁膜 1018 を形成した。配線層を設ける場合にも、本実施例におけるキャパシタ形成後の配線工程を適用できる。また、配線工程後に 400℃、30 分の水素熱処理を行なつた場合も、従来の電極では、キャパシタの耐圧劣化が著しかった。しかし本実施例によれ

ば、上記CVD工程や配線工程後の水素熱処理工程での耐圧劣化はなく、上部電極形成直後の特性を保持することができた。最終的なキャパシタの静電容量は、 $90\text{ fF}/\mu\text{m}^2$ であり、 $10^{-8}\text{ A}/\text{cm}^2$ で定義した絶縁性の臨界電圧は、 1.2 V であった。

(実施例6)

第1.9図は、高強誘電体としてPZTを用いた不揮発動作モードを持つDRAMの例である。

本実施例において、層間絶縁膜1006の形成工程までは、前記実施例6に示したBST-DRAMの場合と同様な方法により達成される。

次に、下部電極1102と導電性プラグ1007の間の反応防止層1101として、厚さ 50 nm の窒化チタン膜を反応性スパッタ法によって形成した。次に、下部電極1102となる厚さ 150 nm の白金膜を直流スパッタ法によって形成した後、PZT膜1103を形成した。PZT膜の形成には、スパッタ法、ゾルゲル法、反応性蒸着法、CVD法を用いることができる。VD法としては、鉛、ジルコニウム、チタンのアルコレートまたは錯体を用いて、酸素中で熱分解する方法により、好ましい結果が得られる。しかし、鉛ジピバロイルメタネート($\text{Pb}(\text{DPM})_2$)、ジルコニウムジピバロイルメタネート($\text{Zr}(\text{DPM})_4$)、チタンイソプロポキシド($\text{Ti}(\text{i-OC}_3\text{H}_7)_4$)を用いる方法を用いれば、さらに好ましい結果が得られる。これらの原料を保温容器に収納し、 $\text{Pb}(\text{DPM})_2$ については $100^\circ\text{C}\sim 150^\circ\text{C}$ 、 $\text{Zr}(\text{DPM})_4$ については $150^\circ\text{C}\sim 200^\circ\text{C}$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ については 3

0℃～60℃に加熱して適当な蒸気圧を持たせ、アルゴンバブリングで反応炉に原料を輸送する。同時に反応炉に供給する酸素とともに、500℃～700℃に加熱した基板上で原料を熱分解、酸化させた。このPZT膜の膜厚は40nmとした。

次に、上部電極層1104となる厚さ100nmの鉛添加白金膜を直流スパッタ法で形成し、さらに厚さ100nmのタングステン層1105を形成した後、周知のフォトリソグラフィ技術によりキャパシタ領域のパターンを形成し、さらにドライエッチングを行って、キャパシタを各ビット毎に分割した。つぎに、周知のテトラエトキシシラン(TEOS)のオゾン雰囲気熱分解によりキャパシタ保護膜1107を形成、エッチバックし、さらに周知なフォトリソグラフィ技術により、キャパシタに対する電氣的接続孔を開口した。この上部に、電氣的接続孔を埋め込みながらスパッタ法によりタングステン層1106を形成した。

以上の工程によって本実施例のキャパシタ部が完成した。キャパシタ形成後の配線工程はBST-DRAMと同様であるが、不純物を添加しない白金を用いた場合は、タングステン接続プラグ1016の形成時に上部電極1104とPZT膜1103の界面で剥離が多発し、実用にならなかったのに対して、本実施例では剥離が起きず、残留分極の劣化も防止された。最終的な残留分極は、電源電圧3V動作時で $10\mu\text{C}/\text{cm}^2$ であり、非残留分極成分は、 $20\mu\text{C}/\text{cm}^2$ であった。

産業上の利用可能性

本発明は、例えばダイナミック・ランダム・アクセス・メモリ等、蓄積容量部を有する各種半導体記憶装置に用いられる。

請求の範囲

1. 第1の電極と、前記第1の電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された第2の電極とを有し、前記第2の電極は、酸化物導電体からなり、かつ、前記第2の電極自身の還元または触媒活性度を抑制する効果を有する不純物元素が添加されていることを特徴とする半導体装置。
2. 上記酸化物導電体が酸化イリジウムまたは酸化ルテニウムであることを特徴とする第1項に記載の半導体装置。
3. 上記不純物元素は鉛であることを特徴とする第1項または第2項に記載の半導体装置。
4. 上記不純物元素は、ビスマス、ストロンチウム、バリウムのいずれかであることを特徴とする第1項または第2項に記載の半導体装置。
5. 上記不純物元素は酸化物を形成していることを特徴とする第1項乃至第4項何れかに記載の半導体装置。
6. 上記不純物元素は、酸化物導電体結晶粒の粒界に偏析していることを特徴とする第1項乃至第5項何れかに記載の半導体装置。
7. 上記第2の電極の上部には、白金、イリジウム、ルテニウムが積層されていないことを特徴とする第1項乃至第6項何れかに記載の半導体装置。
8. 上記強誘電体膜は酸化物強誘電体からなることを特徴とする第1項乃至第7項何れかに記載の半導体装置。
9. 上記強誘電体膜は、鉛を含有することを特徴とする第8項記載

の半導体装置。

10. 上記第1の電極と、上記強誘電体膜と、上記第2の電極からなる強誘電体キャパシタの、上記第2の電極への配線は、前記キャパシタより外側の部分から接続されていることを特徴とする第1項乃至第9項何れかに記載の半導体装置。

11. 基体上に、第1の電極を形成する工程と、前記第1の電極上に強誘電体膜を形成する工程と、前記強誘電体膜上に、鉛、ビスマス、ストロンチウム、バリウムのいずれかを含有する酸化物導電膜である第2の電極を形成する工程と、前記第2の電極を形成する工程の後、酸素雰囲気中で熱処理することを特徴とする半導体装置の製造方法。

12. 上記強誘電体薄膜はビスマス、ストロンチウム、バリウムの何れかを含有する酸化物強誘電体からなることを特徴とする第11項に記載の半導体装置の製造方法。

13. 基体上に、第1の電極を形成する工程と、前記第1の電極上に強誘電体膜を形成する工程と、前記強誘電体膜上に酸化物導電体を主成分とする第2の電極を形成する工程と、前記第2の電極上に鉛、ビスマス、ストロンチウム、バリウムの何れかの膜を形成する工程と、前記何れかの膜を形成する工程の後、酸素雰囲気中で熱処理することを特徴とする半導体装置の製造方法。

14. 上記強誘電体膜は、ビスマス、ストロンチウム、バリウムの何れかを含有する酸化物強誘電体であることを特徴とする第13項記載の半導体装置。

15. 酸化物高強誘電体膜と、パラジウム、ルテニウム、イリジウ

ム、ニッケルから選ばれた元素を主成分とし、これら金属の触媒活性度を抑制する作用を有する不純物元素が添加されたコンデンサ電極とを有することを特徴とする半導体装置。

16. 前記不純物元素は、鉛、イオウ、セレン、テルル、シリコン、リン、ヒ素、ボロン、ビスマス、バリウムのいずれかであることを特徴とする第15項記載の半導体装置。

17. 前記不純物元素の前記電極中における濃度は、10原子%以下であることを特徴とする第15項または第16項に記載の半導体装置。

18. 前記コンデンサ電極の一方の電極には、前記不純物が添加されていないことを特徴とする第15項乃至第17項記載の半導体装置。

19. 酸化物高強誘電体膜と、白金を主成分とし、イオウ、セレン、テルル、シリコン、リン、ヒ素、ボロン、ビスマスのいずれかが添加されたコンデンサ電極とを有することを特徴とする半導体装置。

20. 酸化物高強誘電体薄膜を用いるコンデンサ構造をもつ半導体装置において、前記高強誘電体薄膜形成後に形成される前記コンデンサの電極中の多結晶金属粒表面は、前記金属の触媒活性度を抑制する効果を有する前記金属と他の元素との化合物に覆われていることを特徴とする半導体装置。

21. 前記電極金属が白金であり、かつ前記化合物は、 Pt_3Pb 、 PtS 、 Pt_5Se_4 、 $PtTe$ 、 Pt_3Si 、 P_2Pt_5 、 $PtAs_2$ 、 BPt_3 、 $BiPt$ 、 $BaPt_5$ 、 Pt_3Pb の何れかからなることを特徴とする第20項に記載の半導体装置。

22. 前記高強誘電体薄膜は、バリウム、鉛、ストロンチウム、ビ

スマスから選ばれた元素を主成分とする酸化物であることを特徴とする第 20 項または第 21 項のいずれかに記載の半導体装置。

23. 半導体基体主面に、一对の半導体領域とゲート電極を有した MISFET とキャパシタとからなるメモリセルが、形成された半導体メモリであって、前記キャパシタは前記 MISFET 一つの半導体領域に電氣的に接続された下部電極と、前記下部電極表面に形成された酸化物高強誘電体膜と、前記酸化物高強誘電体膜表面に形成された触媒活性度を抑制する作用を有する不純物元素を添加した、パラジウム、ルテニウム、イリジウム、ニッケルから選ばれた元素を主成分とする上部電極と、前記上部電極を覆うように形成された絶縁膜と、前記絶縁膜に設けられた開口を介して前記上部電極に接続された高融点金属層とを有することを特徴とする半導体メモリ。

24. 前記不純物元素が鉛、イオウ、セレン、テルル、シリコン、リン、ヒ素、ボロン、ビスマス、バリウムのいずれかであることを特徴とする第 23 項記載の半導体メモリ。

25. 前記下部電極は蓄積電極であり、前記上部電極はプレート電極であることを特徴とする第 23 項または大 24 項記載の半導体メモリ。

26. 前記不純物元素の前記上部電極中における濃度は、10 原子 % 以下であることを特徴とする第 23 項乃至第 25 項何れかに記載の半導体メモリ。

27. 前記下部電極には、前記不純物元素が添加されていないことを特徴とする第 23 項乃至第 26 項何れかに記載の半導体メモリ。

28. 前記高融点金属はタングステンよりなることを特徴とする第

23項乃至第27項の何れかに記載の半導体メモリ。

29. 半導体基体主面に、一对の半導体領域とゲート電極を有した MISFET とキャパシタとからなるメモリセルが形成された半導体メモリであつて、前記キャパシタは前記 MISFET の一つの半導体領域に電氣的に接続された下部電極と、前記下部電極表面に形成された酸化物高強誘電体膜と、イオウ、セレン、テルル、シリコン、リン、ヒ素、ボロン、ビスマスのいずれかの不純物が添加された、白金を主成分とする上部電極と、前記上部電極を覆うように形成された絶縁膜と、前記絶縁膜に設けられた開口を介して前記上部電極に接続された高融点金属層を有することを特徴とする半導体メモリ。

30. 前記下部電極は蓄積電極であり、前記上部電極はプレート電極であることを特徴とする第29項記載の半導体メモリ。

31. 前記不純物元素の前記上部電極中における濃度は、10原子%以下であることを特徴とする第29項または第30項記載の半導体メモリ。

32. 前記下部電極には前記不純物元素が添加されていないことを特徴とする第29項乃至第31項記載の半導体メモリ。

33. 前記高融点金属はタングステンよりなることを特徴とする第29項乃至第32項記載の半導体メモリ。

34. 半導体基体主面に、一对の半導体領域とゲート電極を有した MISFET を形成する工程と、

前記 MISFET の半導体領域に電氣的に接続するようにキャパシタの下部電極を形成する工程と、

前記下部電極表面に酸化物高強誘電体膜を形成する工程と、

前記酸化物高強誘電体膜表面に触媒活性度を抑制する作用を有する不純物元素を添加した、パラジウム、ルテニウム、イリジウム、ニッケルから選ばれた元素を主成分とする上部電極を形成する工程と、

前記上部電極を覆うように絶縁膜を形成する工程と、

前記上部電極の一部が露出するように前記絶縁膜に開口を設ける工程と、

前記開口内に前記上部電極に接続するように高融点金属層を形成する工程とを有することを特徴とする半導体メモリの製造方法。

35. 前記不純物元素が鉛であることを特徴とする第34項記載の半導体メモリの製造方法。

36. 前記高融点金属層はタングステンであり、水素還元によるCVD法により形成することを特徴とする第34項または第35項記載の半導体メモリの製造方法。

37. 半導体基体主面に、一対の半導体領域とゲート電極を有したMISFETを形成する工程と、

前記MISFETの一つの半導体領域に電気的に接続するようにキャパシタの下部電極を形成する工程と、

前記下部電極表面に酸化物高強誘電体膜を形成する工程と、

前記酸化物高強誘電体膜表面に、イオウ、セレン、テルル、シリコン、リン、ヒ素、ボロン、ビスマスのいずれかの不純物が添加された、白金を主成分とする上部電極を形成する工程と、

前記上部電極を覆うように絶縁膜を形成する工程と、

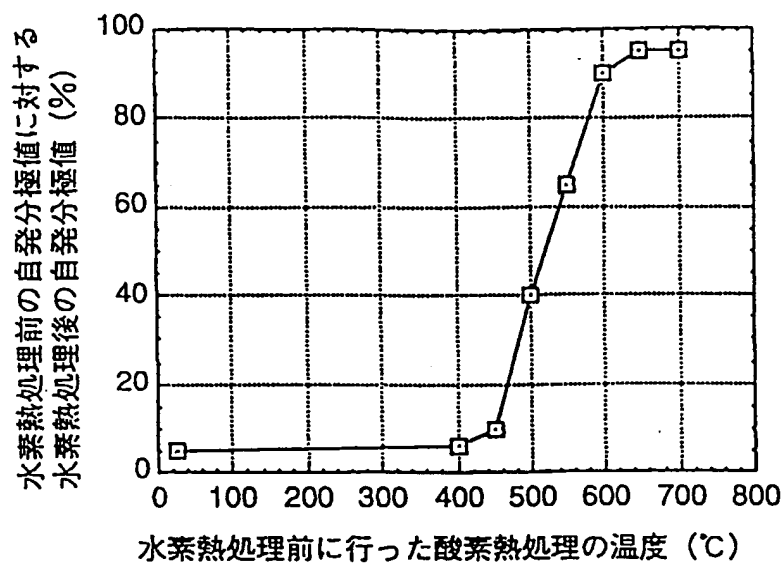
前記上部電極の一部が露出するように前記絶縁膜に開口を設ける

工程と、

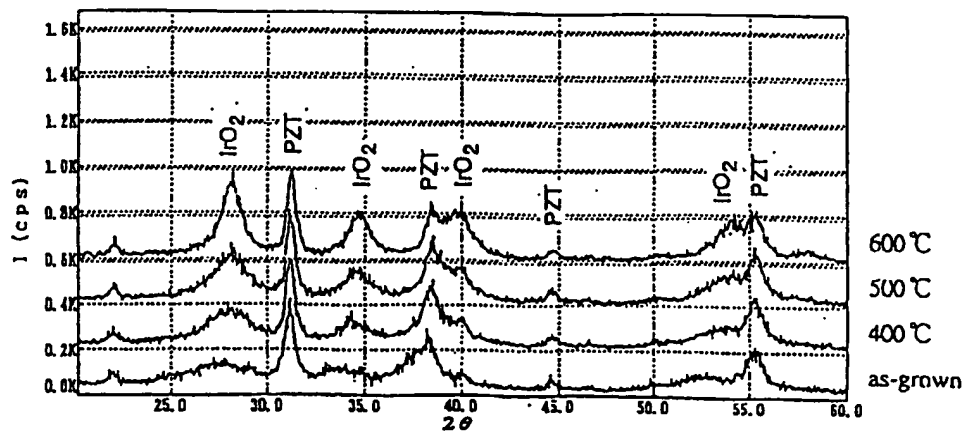
前記開口内に前記上部電極に接続するように高融点金属層を形成する工程とを有することを特徴とする半導体メモリの製造方法。

38. 前記高融点金属層はタングステンであり、水素還元によるCVD法により形成することを特徴とする第37項記載の半導体メモリの製造方法。

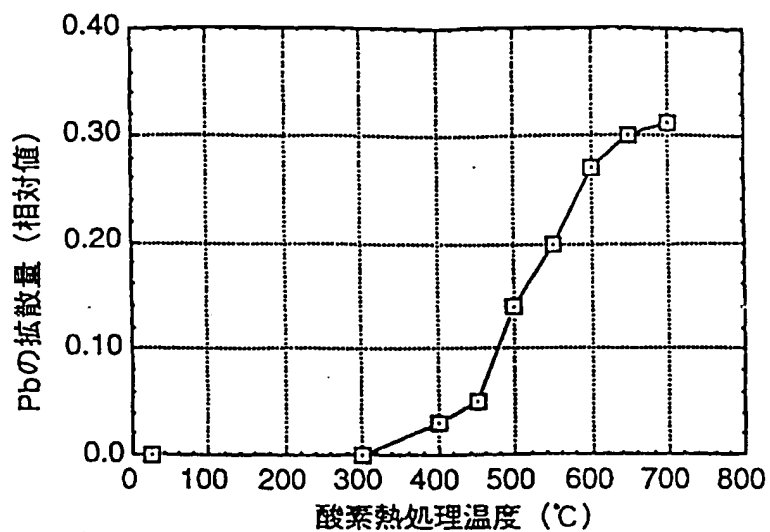
第 1 図



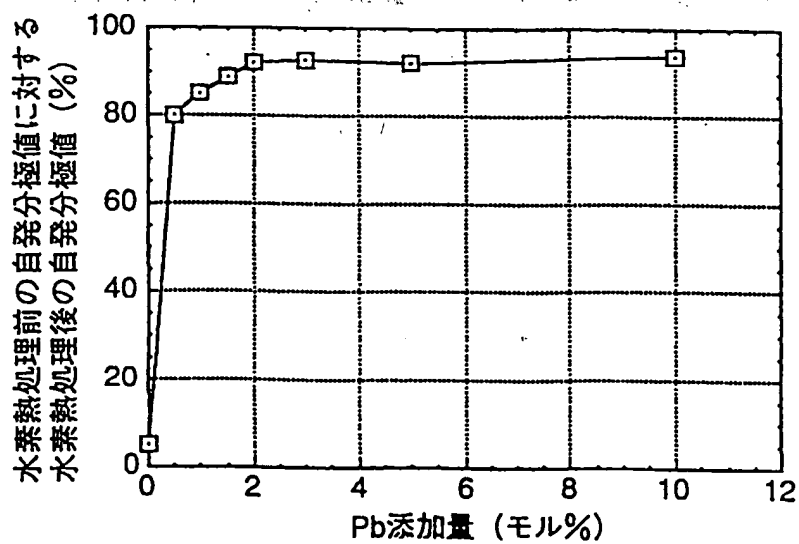
第 2 図



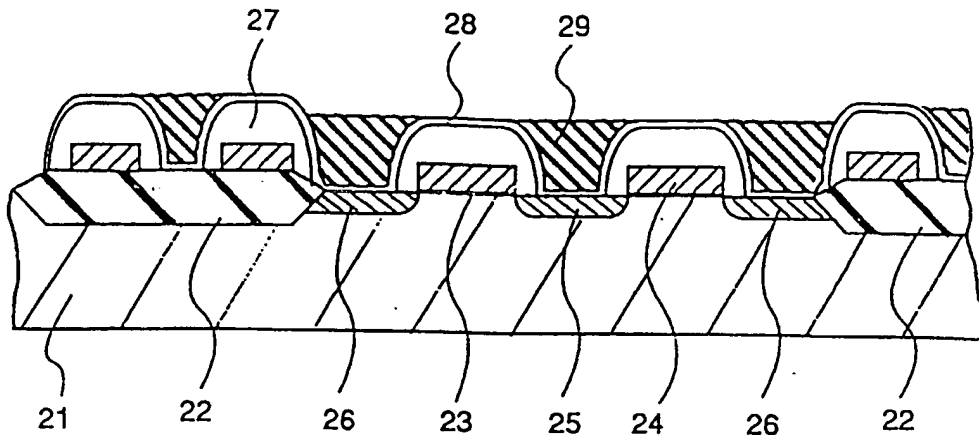
第 3 図



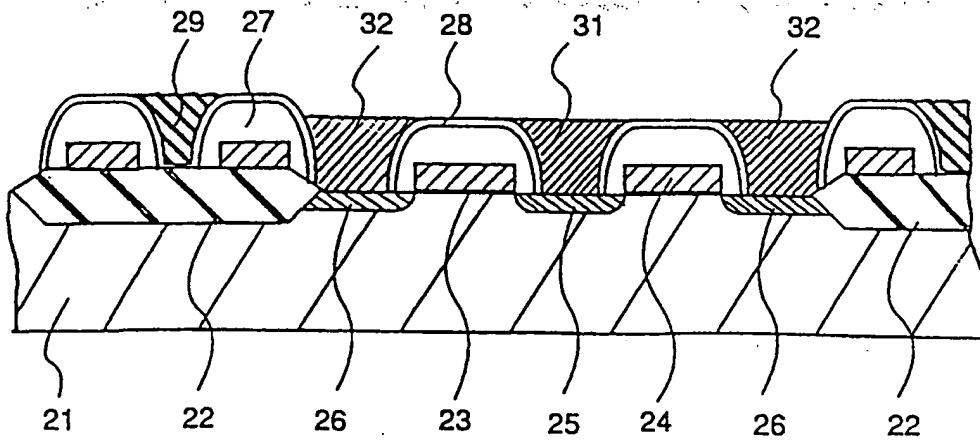
第 4 図



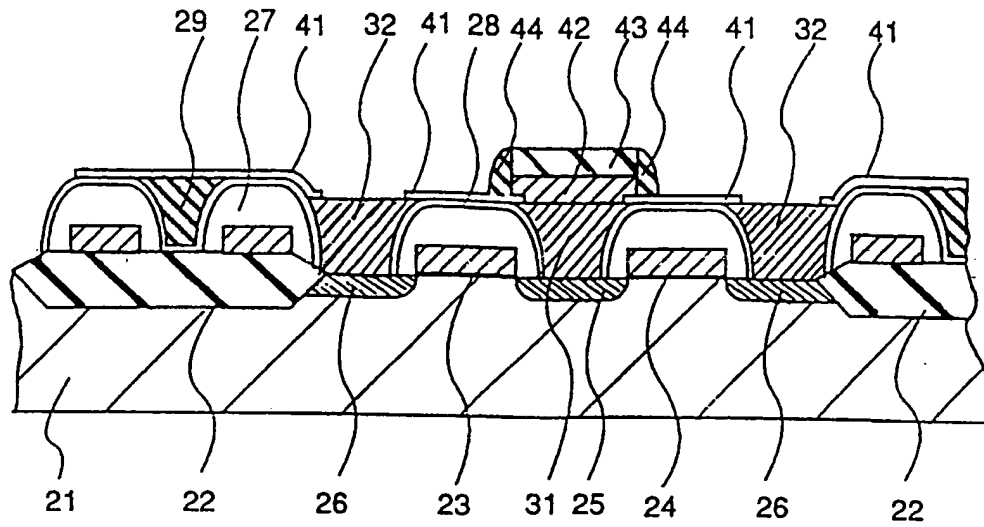
第 5 図



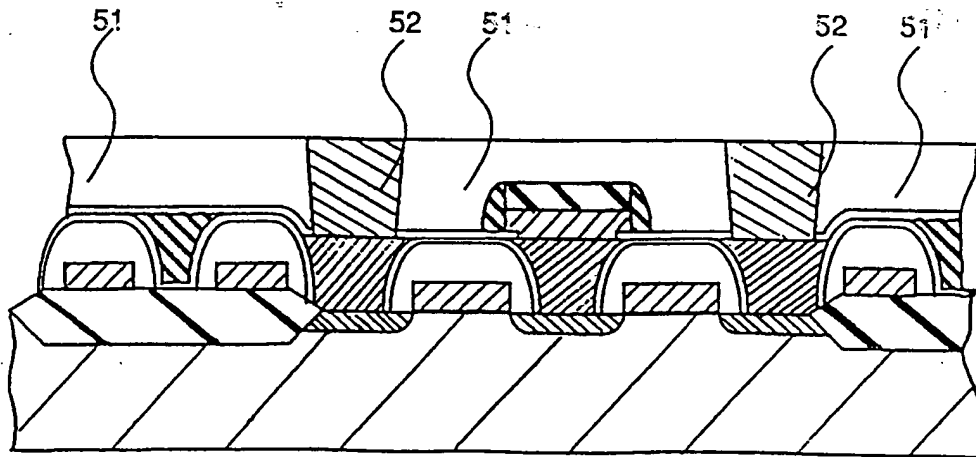
第 6 図



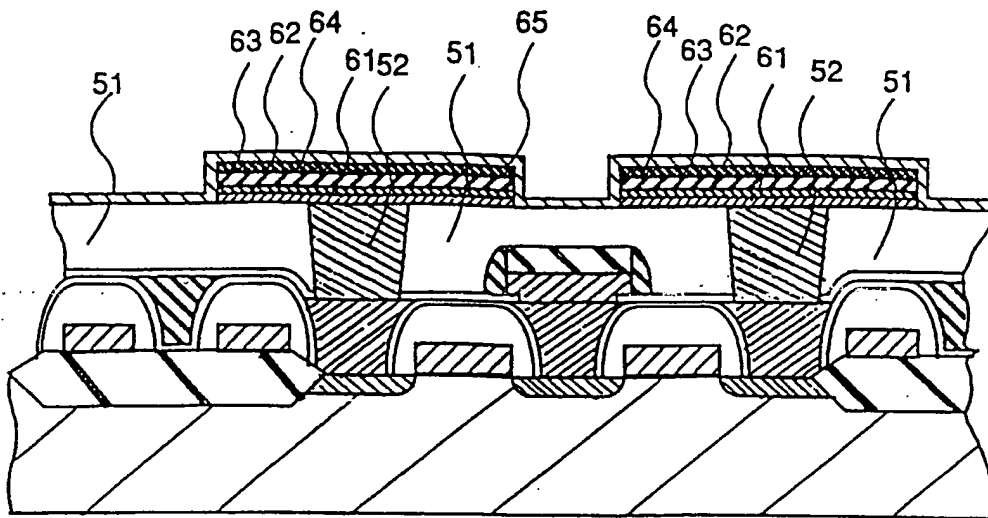
第 7 図



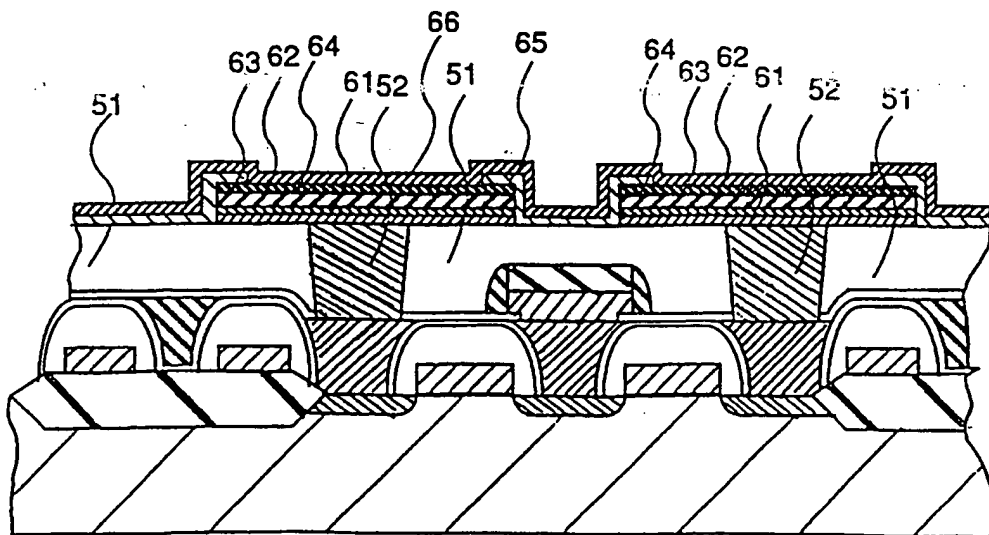
第 8 図



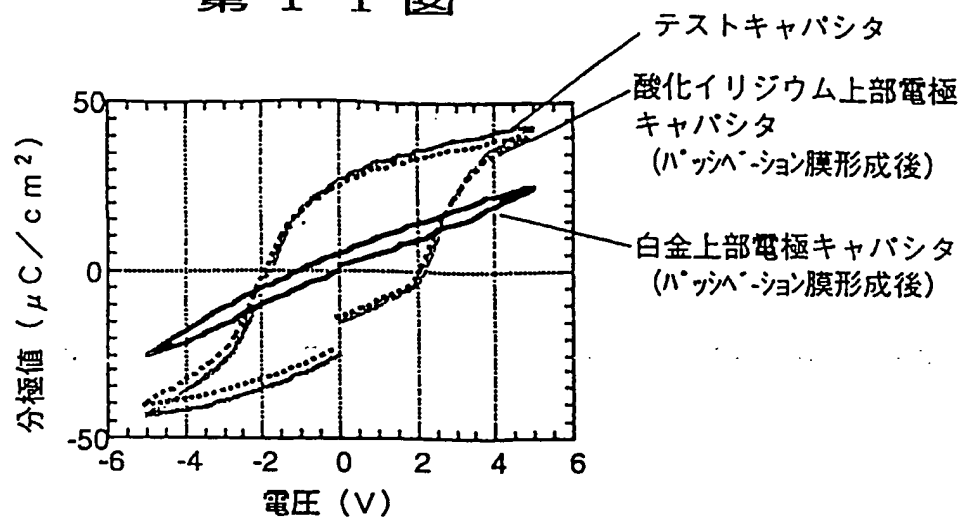
第 9 図



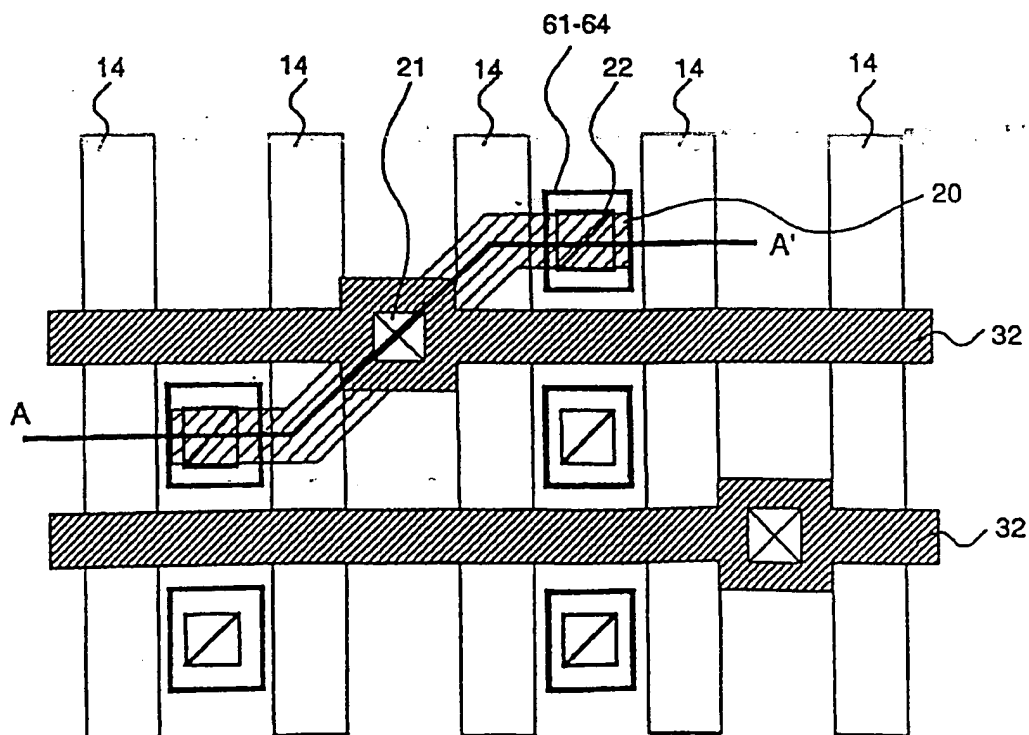
第 10 図



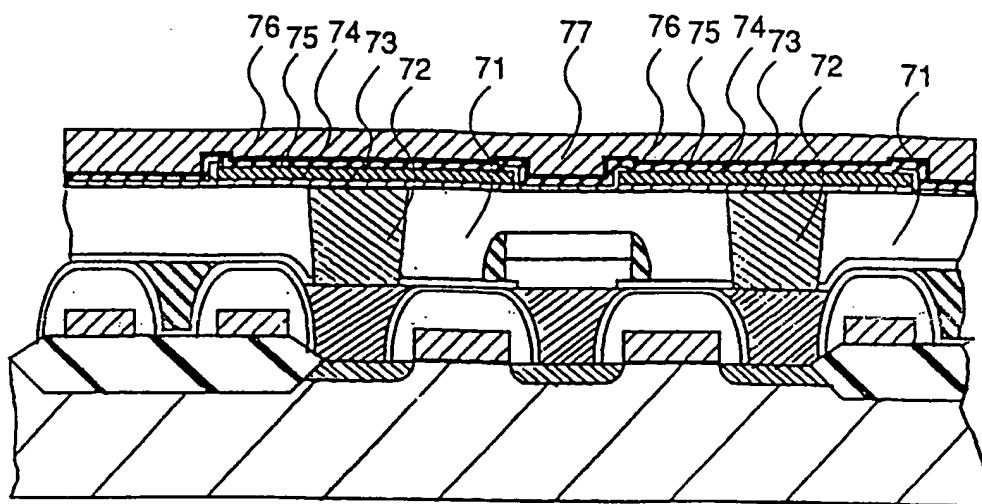
第 1 1 図



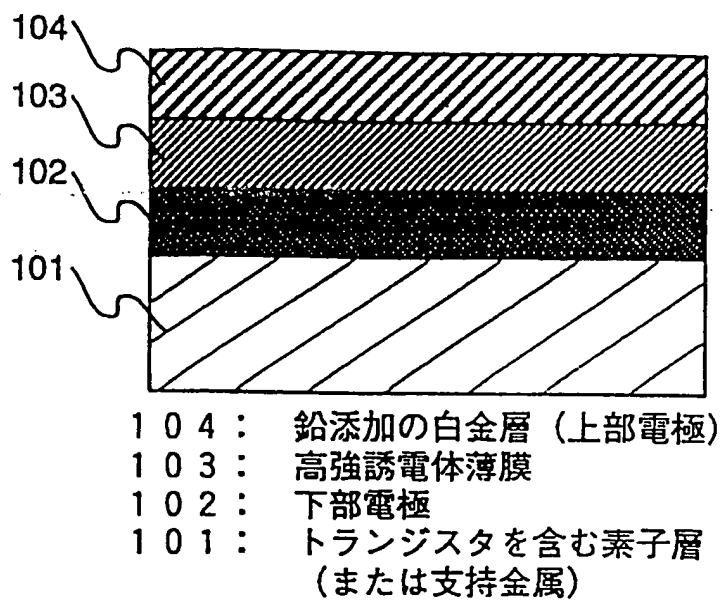
第 1 2 図



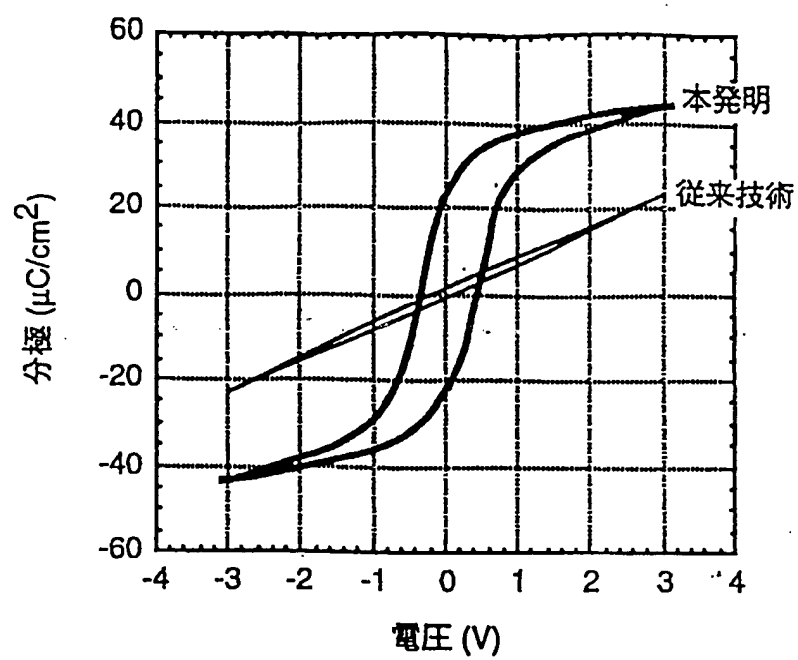
第 1 3 図



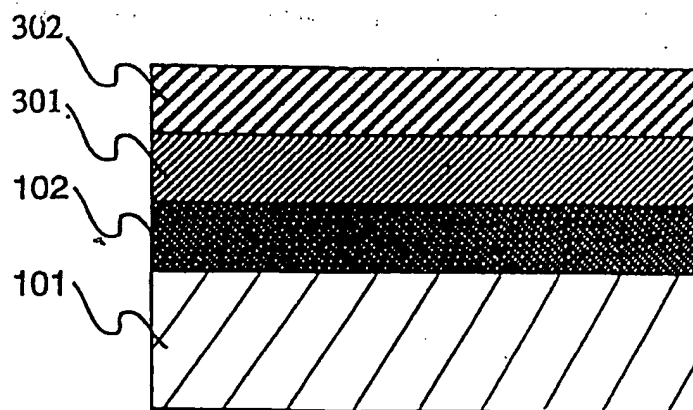
第 1 4 図



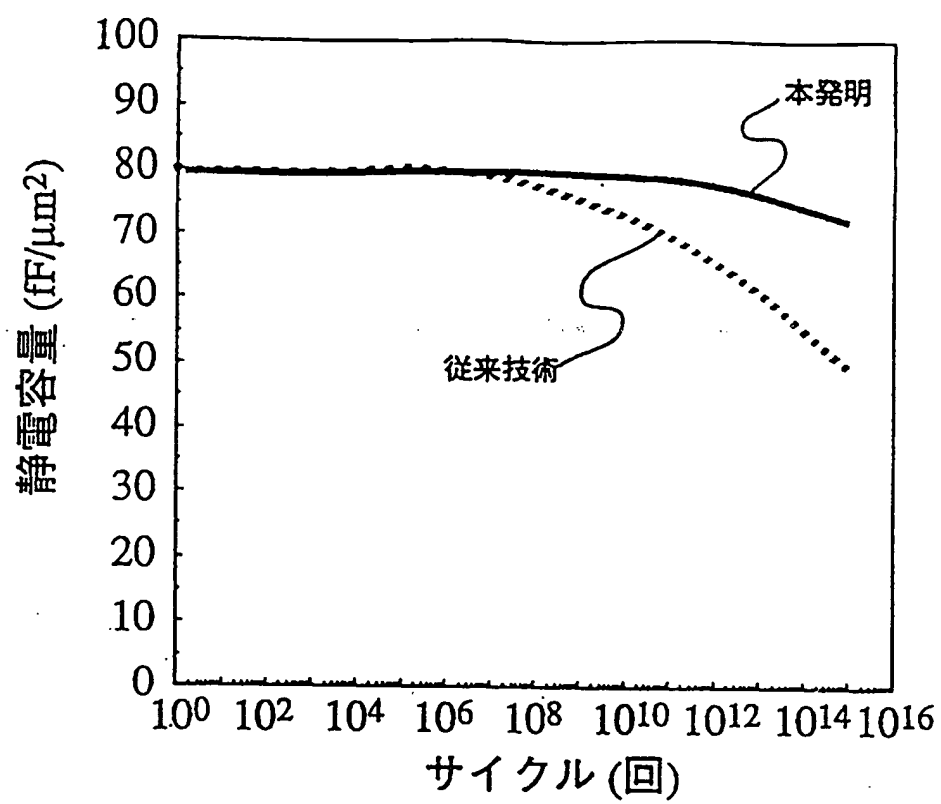
第 1 5 図



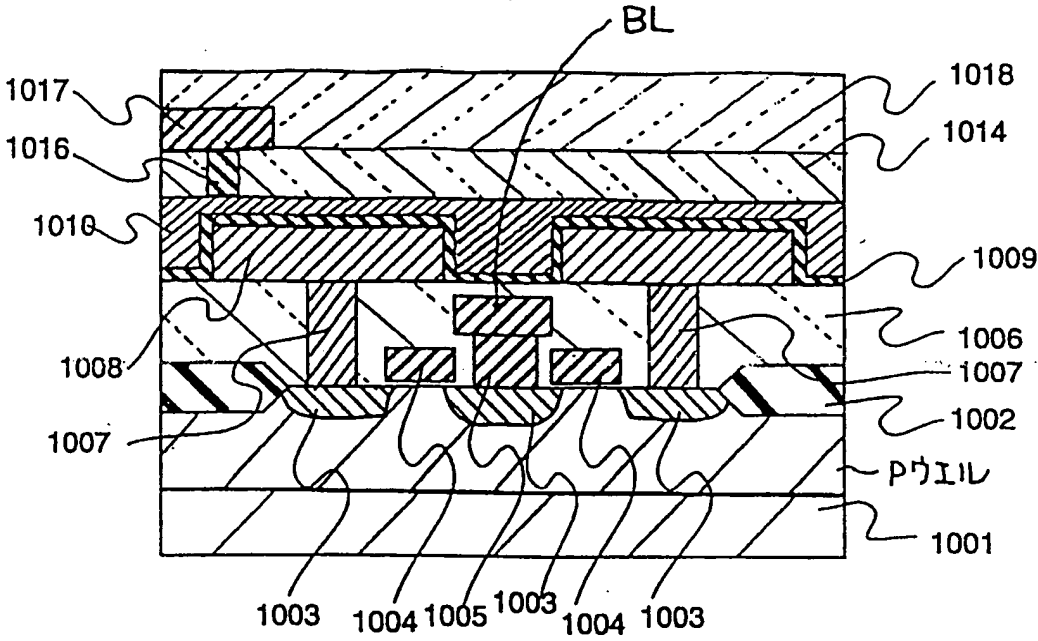
第 1 6 図



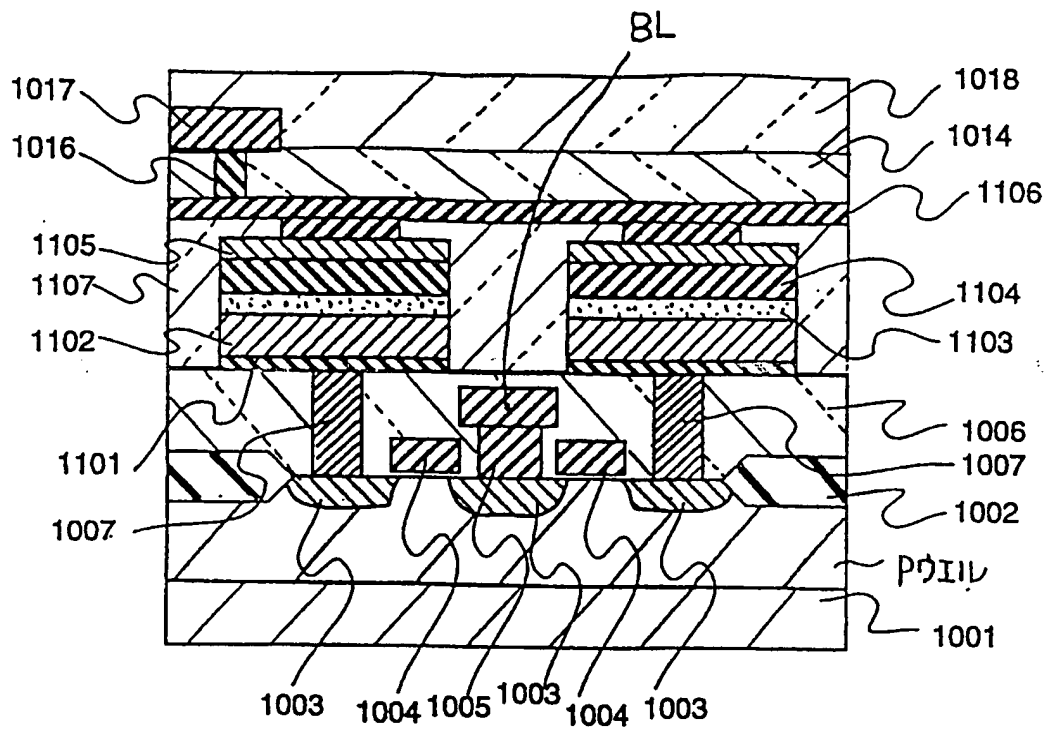
第 1 7 図



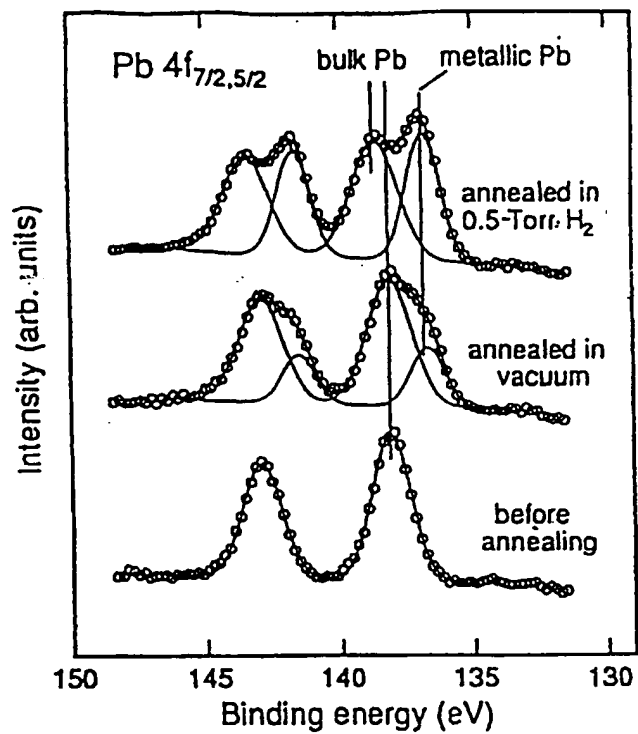
第 1 8 図



第 1 9 図



第 2 0 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01271

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/8242, H01L27/10, H01L27/108, H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/8242, H01L27/10, H01L27/108, H01L27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1998 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-27602, A (Sharp Corp.), January 28, 1997 (28. 01. 97) & US, 5629229, A & US, 5717234, A	1-38
A	JP, 5-299601, A (Mitsubishi Electric Corp.), November 12, 1993 (12. 11. 93) & US, 5382817, A	1-38
A	JP, 9-45872, A (Olympus Optical Co., Ltd.), February 14, 1997 (14. 02. 97) (Family: none)	1-38
A	JP, 8-70107, A (Fujitsu Ltd.), March 12, 1996 (12. 03. 96) (Family: none)	1-38
A	JP, 8-97369, A (Toshiba Corp.), April 12, 1996 (12. 04. 96) (Family: none)	1-38
A	JP, 7-263570, A (Fujitsu Ltd.), October 13, 1995 (13. 10. 95) (Family: none)	1-38

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
June 16, 1998 (16. 06. 98)Date of mailing of the international search report
June 23, 1998 (23. 06. 98)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 98/01271

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/8242, H01L27/10, H01L27/108, H01L27/115

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/8242, H01L27/10, H01L27/108, H01L27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1998年

日本国公開実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-27602, A, (シャープ株式会社), 28. 1月. 1997 (28. 01. 97) & US, 5629229, A & US, 5717234, A	1-38
A	J P, 5-299601, A, (三菱電機株式会社), 12. 11 月. 1993 (12. 11. 93) & US, 5382817, A	1-38
A	J P, 9-45872, A, (オリンパス光学工業株式会社), 1 4. 2月. 1997 (14. 02. 97) (ファミリーなし)	1-38

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 06. 98

国際調査報告の発送日

23.06.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M

9276

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 8-70107, A, (富士通株式会社), 12. 3月. 1 996 (12. 03. 96) (ファミリーなし)	1-38
A	JP, 8-97369, A, (株式会社東芝), 12. 4月. 19 96 (12. 04. 96) (ファミリーなし)	1-38
A	JP, 7-263570, A, (富士通株式会社), 13. 10 月. 1995 (13. 10. 95) (ファミリーなし)	1-38